

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

BEST AVAILABLE COPY

(51) Int. Cl.⁸

H03K 19/0175

(11) 공개번호 특2000-0066203

(43) 공개일자 2000년11월15일

(21) 출원번호	10-1999-0013140
(22) 출원일자	1999년04월14일
(71) 출원인	학교법인 포항공과대학교 정명식
(72) 발명자	경상북도 포항시 남구 효자동 산 31번지 박홍준 경상북도포항시남구지곡동교수숙소9동802호 심재윤
(74) 대리인	광주광역시서구농성동422-3 이영필, 권석훈, 이상용

심사청구 : 있음

(54) 임피던스가 정합된 전류모드 양방향 입출력 버퍼

요약

본 발명은 고속으로 동작하는 전류모드 양방향 입출력 버퍼회로를 개시한다.

본 발명에 따른 동일한 입출력버퍼를 내장한 외부 칩과 신호를 양방향으로 전송하는 전류모드 입출력 버퍼는, 상기 외부 칩으로 전송하고자하는 송신신호(IN1)와 상기 외부 칩으로부터 수신되는 수신신호(IN2)의 평균 전류값(I1)을 평균전압으로 변환하여 출력하는 송수신평균전압 출력부(210); 상기 송신신호(IN1)의 전압레벨에 따라 선택적으로 생성된 소정의 기준전류값(Iref)을 기준전압으로 변환하는 기준전압출력부(220); 상기 송수신평균전압 출력부와 상기 기준전압출력부에서 생성한 전압을 비교하여 상기 외부 칩으로부터 전송된 수신신호에 상응된 로직신호를 출력하는 비교기(230); 및 상기 외부 칩에 접속된 전송선의 특성임피던스와 같도록 바이어스전압을 생성하여 상기 각 출력부에 공급하는 바이어스전압 생성부를 포함함을 특징으로 한다.

본 발명에 의한 전류모드 양방향 입출력 버퍼는 하나의 전송선로를 이용하여 칩과 칩간에 고속으로 데이터 전송을 수행하며, 칩의 공정변화에도 안정적인 특성을 갖는 양방향 입출력 버퍼를 제공한다.

도면

도2

명세서

도면의 간단한 설명

도 1은 종래의 전압모드 양방향 입출력 버퍼를 설명하기 위한 도면이다.

도 2는 본 발명에 따른 전류모드 양방향 입출력 버퍼의 개략도이다.

도 3은 도 2에 도시된 입출력버퍼의 세부 회로도이다.

도 4는 도 3에 적용되는 바이어스전압 생성회로도이다.

도 5a 내지 도 5e는 본 발명의 입출력 버퍼에서의 신호 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 양방향 입출력 버퍼에 관한 것으로서, 특히 두 개의 칩간의 데이터 전송시, 하나의 전송선으로 양방향으로 동시에 전송이 가능한 전류모드로 동작되는 양방향 입출력 버퍼에 관한 것이다.

최근에 집적화로 공정이 향상됨에 따라 고속동작을 위한 시스템의 성능은 칩과 칩간의 데이터 전송의 속도에 의해 크게 제한된다. 데이터 전송을 위한 입출력버퍼 중에서 양방향 입출력 버퍼는 하나의 케이블을 이용하여 입출력을 동시에 할 수 있으므로 하나의 케이블당 두배의 전송 능력을 가지며, 입출력 신호가 혼합되어 있는 신호 중 외부에서 입력되는 신호만을 복원하게 된다.

도 1은 종래의 양방향 입출력 버퍼회로의 신호전송시스템의 개략적인 구성도이다. 도 1의 2개의

칩(100A, 100B)간의 신호의 송수신을 위해 상기 칩 각각에 구비된 양방향 입출력 버퍼는 상대칩에 출력하고자하는 송신신호전압(IN1, IN2)이 인가되는 단자, 상대칩으로 신호전압을 출력하고 상대칩으로 신호전압이 유입되는 출력단자(OUT1, OUT2), 외부 즉 상대칩로부터 유입되는 신호가 원래의 복원된 값으로 나타나는 복원단자(RET1, RET2), 외부로 전송하고자 하는 신호와 외부로부터 유입되는 신호가 혼합된 전압값을 갖는 출력단자(OUT1, OUT2)의 전압값과 비교하여 외부로부터 유입되는 신호를 복원시키기 위한 기준전압으로서 송신전압단자(IN1, IN2)에 따라 선택되는 기준전압(Vref1, Vref2)을 발생하는 기준전압발생기(103a, 103b)와, 송신신호전압(IN1, IN2)을 버퍼링하는 출력버퍼(101a, 102b), 기준전압발생기(103a, 103b)의 기준전압과 출력단자(OUT1, OUT2)의 전압을 비교하는 전압비교기(102a, 102b)로 이루어진다.

도 1을 참조하여 동작을 보다 상세히 설명하면, 하나의 칩(100A)에서 외부로 전송하고자 하는 송신전압단자(IN1, IN2)의 신호와 외부로부터 유입되는 신호(IN2)에 따라 출력단자(OUT1, OUT2)에 인가되는 전압은 두 칩(100A, 100B)이 전송하고자하는 신호의 평균값으로 나타난다. 이때, 두 칩(100A, 100B)간에 전송하고자 하는 전압값이 0V와 소정의 값을 갖는 하이레벨 전압의 두 종류만 있다고 가정하면, 출력단자(OUT1)에는 하이레벨, 1/2배인 하이레벨 또는 0의 값을 갖게 된다. 송신신호전압(IN1, IN2)의 값에 따라 기준전압발생기(103a, 103b)에서 생성된 기준전압(Vref1, Vref2)과 출력단자(OUT1, OUT2)의 전압을 비교하여 원래의 신호레벨을 출력한다. 표 1은 종래의 양방향 입출력버퍼에서 송신신호전압(IN1, IN2)의 값에 따른 기준전압(Vref1, Vref2)과 이때 출력단자(OUT1, OUT2)의 레벨값으로부터 복원되는 복원단자(RET1, RET2)의 신호의 값을 나타낸다.

[표 1]

IN1 IN2	High High	High Low	Low High	Low Low
OUT1, OUT2	VDD	0.5 VDD	0.5 VDD	G
Vref1	0.75 VDD	0.75 VDD	0.25 VDD	0.25 VDD
Vref2	0.75 VDD	0.25 VDD	0.75 VDD	0.25 VDD
RET1	High	Low	High	Low
RET2	High	High	Low	Low

표 1과 같이 송신신호전압(IN1, IN2)이 각 상대측 칩의 복원단자(RET1, RET2)에 대응되어 동일한 레벨값으로 전송됨을 알 수 있다. 그러나, 종래의 양방향 입출력 버퍼는 전압모드로 동작되기 때문에 회로상의 캐패시터 성분들을 갖는 노드에서 전압을 스위칭(full swing)을 하게 되며, 이때 스위칭속도의 둔화로 인하여 양방향 버퍼의 전송속도가 제한되는 문제점이 있었다.

본 발명이 이루고자하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위해 창출된 것으로서, 칩과 칩간에 고속으로 데이터 전송을 수행하며, 칩의 공정변화에 안정적인 특성을 갖는 전류모드 양방향 입출력 버퍼를 제공하는 데 목적이 있다.

본 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명에 따른 동일한 입출력버퍼를 내장한 외부 칩과 신호를 양방향으로 전송하는 전류모드 입출력 버퍼는,

상기 외부 칩으로 전송하고자하는 송신신호(IN1)와 상기 외부 칩으로부터 수신되는 송신신호(IN2)의 평균 전류값(I1)을 평균전압으로 변환하여 출력하는 송수신평균전압 출력부(210); 상기 송신신호(IN1)의 전압 레벨에 따라 선택적으로 생성된 소정의 기준전류값(Iref)을 기준전압으로 변환하는 기준전압출력부(220); 상기 송수신평균전압 출력부와 상기 기준전압출력부에서 생성한 전압을 비교하여 상기 외부 칩으로부터 전송된 수신신호에 상응한 로직신호를 출력하는 비교기(230); 및 상기 외부 칩에 접속된 전송선의 특성임피던스와 길도에 따라 바이어스전압을 생성하여 상기 각 출력부에 공급하는 바이어스전압생성부를 포함함을 특징으로 한다.

또한, 상기 비교기의 출력력을 CMOS레벨로 변환하는 CMOS레벨변환부를 더 구비함을 특징으로 한다.

또한, 상기 바이어스생성부는 VDD전압과 제20P엠프(A2)의 부입력단자간에는 PMOS 트랜지스터(M21, M23)가 직렬로 접속되며, VDD전압과 제20P엠프(A2)의 정입력단자간에는 PMOS 트랜지스터(M22, M24)가 직렬로 접속되고, 제10P엠프(A1)의 출력은 PMOS 트랜지스터(M21, M22)의 게이트와 공통으로 접속되며, 제10P엠프(A1)의 정입력단자는 제20P엠프(A2)의 부입력단자와 외부저항(Rext)의 일단과 접속되고, 외부저항(Rext)의 타단은 그라운드(VSS)와 접속되며, 제20P엠프(A2)의 출력단자는 NMOS 트랜지스터(M20)의 게이트에 접속되고, NMOS 트랜지스터(M20)의 드레인과 소스는 제20P엠프(A2)의 정입력단자와 그라운드(VSS)에 각각 접속됨을 특징으로 한다.

또한, 상기 송수신평균전압 출력부는,

VDD전원과 다이오드(D1)의 애노드와 NMOS 트랜지스터(M5)의 드레인간에 제1정전류원(212)이 접속되며, 상기 다이오드(D1)의 캐소드는 상기 외부 칩과의 전송선과 NMOS 트랜지스터(M1)의 드레인과 상기 비교기(230)의 정입력단자에 접속되며, 상기 NMOS 트랜지스터(M1)의 게이트는 상기 NMOS 트랜지스터(M20)의 게이트에 접속됨을 특징으로 한다.

또한, 상기 제1정전류원(212)은 상기 PMOS 트랜지스터(M22, M24)의 각 게이트전압을 바이어스 전압(VB)으로 하여 동작함을 특징으로 한다.

또한, 상기 기준전압 출력부는,

VDD전원과 다이오드(D2)의 애노우드간에 제2정전류원(224)과 스위칭부(222)가 직렬로 접속되며, VDD전원과 다이오드(D2)의 애노우드간에 제3정전류원(226)이 접속되고, 애노우드(D2)의 캐소드는 NMOS 트랜지스터(M3)의 드레인과 상기 비교기(230)의 부입력단자에 각각 접속됨을 특징으로 한다.

또한, 상기 제2, 3정전류원(224, 226)은 상기 PMOS 트랜지스터(M22, M24)의 각 게이트전압을 바이어스 전압으로 하여 동작함을 특징으로 한다.

또한, 상기 스위칭부(222)는,

VDD전압과 NMOS 트랜지스터(M4n, M5n)의 드레인간에 PMOS 트랜지스터(M3p, M4p)가 직렬로 접속되며, 상기 제2정전류원(224)의 출력단과 그라운드(VSS)간에 직렬로 PMOS 트랜지스터(M6p)와 NMOS 트랜지스터(M5n)가 접속되고, NMOS 트랜지스터(M5n)의 게이트는 NMOS 트랜지스터(M5n)의 게이트와 드레인과 공통접속되며, PMOS 트랜지스터(M6p)의 드레인은 상기 다이오드(D2)의 애노우드와 접속되며, PMOS 트랜지스터(M3p, M4p)의 게이트는 각각 PMOS 트랜지스터(M22, M24)의 게이트와 접속됨을 특징으로 한다.

이하, 첨부도면을 참조하여 본 발명의 일 실시예를 설명하기로 한다.

도 2는 본 발명의 전류모드 양방향 입력력 버퍼에 대한 개략적인 구성도이다.

도 2에서 전류모드 양방향 입력력 버퍼는 컵(200A)에 구비되어 있으며, VDD전원은 제1정전류원(212)을 통하여 NMOS트랜지스터(M5)의 드레인과 다이오드(D1)의 애노우드에 접속되고, 다이오드(D1)의 캐소드는 NMOS트랜지스터(M1)의 드레인과 비교기(230)의 정입력단자와 상대측 컵(200B)의 입력력버퍼와 접속되며 Z_0 의 임피던스를 갖는 송수신라인에 접속된다. NMOS트랜지스터(M1, M3)의 게이트는 공통으로 접속되어 미도시된 바이어스전압 생성회로에 접속된다. VDD전압은 제2정전류원(224)과 직렬로 접속되며 전송전압(IN1)의 레벨에 따라 스위칭되는 스위칭부(222)를 통하여 다이오드(D2)의 애노우드에 접속되며, 또한 VDD전압은 제3정전류원(226)을 통하여 다이오드(D2)의 애노우드에 접속된다. 다이오드(D2)의 캐소드는 NMOS트랜지스터(M3)의 드레인과 비교기(230)의 부입력단자에 접속된다. 이와 동일한 구성으로 상대측 컵(200B)에도 쌍방향 입력력 버퍼가 구비된다.

입력력버퍼에는 각각 1, 0.5I, 0.25I의 전류값을 갖는 제1, 제2, 제3의 정전류원(212, 224, 226)이 있으며, 이중 0.5I의 전류는 송신신호전압(IN1, IN2)의 레벨에 따라 스위칭된다. 기준전류(Iref1, Iref2)는 출력단(OUT1, OUT2)에 흐르는 전류와 비교하기 위한 전류이며, 송신신호전압(IN1, IN2)이 하이레벨일 때 Iref는 0.75I가 되고, 로우레벨일 때 0.25I가 된다.

도 2를 참조하여 동작을 상세히 설명하면, 하나의 컵(200A)에서 외부로 전송하고자 하는 송신전압신호(IN1)와 상대측 컵(200B)으로부터 입력되는 전송전압신호(IN2)의 평균값이 출력단자(OUT1, OUT2)에 접속된 NMOS트랜지스터(M1, M2)의 드레인에 각각 동일한 전류값(I1, I2)으로 흐른다. 두 컵(200A, 200B)간에 전송하고자하는 전압이 0과 하이레벨 두가지 종류의 값만 가진다면, 전류 I1, I2는 0, 0.5I, I의 세 전류값 중 하나의 값을 갖게된다. 즉, IN1과 IN2 모두 하이레벨일 때는 NMOS트랜지스터(M5, M6)의 게이트에 로우레벨이 인가되며, 제1정전류원(212)의 전류 I는 NMOS트랜지스터(M5)로 흐르지 못하고 다이오드(D2)를 통하여 흐르며, 컵(200B)에서 동일하게 다이오드(D4)를 통하여 흐르게 된다. 이때 NMOS트랜지스터(M1, M2)에 흐르는 전류 I1, I2는 각각 I값으로 되며, IN1과 IN2의 전송전압신호에서 한쪽이 하이레벨이고 다른 쪽이 로우레벨이면 전류 I1, I2의 값은 0.5I값이 되고, IN1과 IN2의 값이 모두 로우레벨일 경우에는 전류 I1, I2의 값은 0의 값이 된다.

또한, 스위칭부(222)는 IN1의 값이 하이레벨이면 온되어 제2정전류원(224)의 출력전류 0.5I가 제3정전류원(226)의 전류 0.25I와 합쳐서 다이오드(D2)를 통하여 NMOS트랜지스터(M3)에 흐른다. 이때, 바이어스전압(VB)에 의해 제1 내지 제4 NMOS트랜지스터(M1 내지 M4)는 트라이오드 영역에서 저항성분으로 동작되며, 게이트 전압인 VB를 조정하면 트랜지스터의 출력저항이 전송선의 특성임피던스(Z_0)와 정합이 이루어져 신호전송시 반사파를 방지할 수 있다.

제1 NMOS트랜지스터(M1)와 제3 NMOS트랜지스터(M3)에 흐르는 각각의 I1, Iref1의 전류의 비교는 각 전류에 의해 걸리는 드레인 소스전압이 비교기(230)의 정, 부입력단자에 출력되어 비교된다. 비교된 전압레벨은 CMOS전압레벨변환부(232)에서 CMOS레벨로 변환되어 이로 전송된 신호와 일치된 신호전압을 출력한다.

동일한 방법으로 양방향 버퍼가 상대측 컵(200B)에도 내장되어 전송전압신호 IN2에 따른 기준전류(Iref2)와 제2 NMOS트랜지스터(M2)에 흐르는 전류에 의한 전압을 비교기(240)에서 비교되어 출력된 레벨은 CMOS레벨변환부(244)에서 CMOS레벨로 변환된다. 여기서, 다이오드(D1 내지 D4)는 전류의 방향을 한 쪽 방향으로만 흐르게 하여 MOS트랜지스터의 게이트와 드레인을 공통접속하여 구현할 수 있다. 표 2는 송신전압 신호(IN1, IN2)에 따른 각 기준전류의 값과 출력전압을 나타낸다.

[표 2]

IN1	High	High	Low	Low
IN2	High	Low	High	Low
OUT1, OUT2	I	0.5I	0.5I	0
Iref1	0.75I	0.75I	0.25I	0.25I
Iref2	0.75I	0.25I	0.75I	0.75I
O1	High	Low	High	Low
O2	High	High	Low	Low

도 3은 도 2에 도시된 양방향버퍼를 설명하기 위한 세부 회로도의 일실시예이며, 도 4는 도 2에 미도시된 바이어스전압(VB) 생성회로를 나타낸다. 도 4에서 바이어스전압 생성회로의 구성을 보면, VDD전압과

제20P앰프(A2)의 부입력단자에는 PMOS 트랜지스터(M21, M23)가 직렬로 접속되며, VDD전압과 제20P앰프(A2)의 정입력단자에는 PMOS 트랜지스터(M22, M24)가 직렬로 접속되고, 제10P앰프(A1)의 출력은 PMOS 트랜지스터(M21, M22)의 게이트와 공통으로 접속되며, 제10P앰프(A1)의 정입력단자는 제20P앰프(A2)의 부입력단자와 외부저항(Rext)의 일단과 접속되며, 외부저항(Rext)의 타단은 제20P앰프(A2)의 정입력단자와 접속된다. 제20P앰프(A2)의 출력단자는 NMOS 트랜지스터(M20)의 게이트에 접속되며, NMOS 트랜지스터(M20)의 드레인과 소스는 각각 제20P앰프(A2)의 정입력단자와 그라운드(VSS)에 접속된다.

도 4에 도시된 회로의 동작을 살펴보면 PMOS 트랜지스터(M21)에 1가 흐르도록 제10P앰프(A1)가 M21의 게이트 전압을 생성하며, M21의 게이트 노드는 M22의 게이트 노드와 공통이므로 M22, M24, M20에 흐르는 전류 또한 1와 같게 된다. 제1, 2 0P앰프(A1, A2)는 부계환으로 접속되며 제10P앰프(A1)의 부입력단자에 인가되는 전압(VA)은 제20P앰프(A2)의 정, 부입력단자에 각각 걸리는 전압(VB, VC)의 값과 동일하게 된다. 이에 따라 외부저항(Rext)에 흐르는 전류(I)는 VA/Rext의 값을 갖게 된다. 또한, M20의 드레인 전압 값은 VA와 동일한 값을 갖게 되므로 결국, M20의 출력저항 값이 Rext와 같도록 제20P앰프(A2)의 출력이 M20의 게이트 전압값을 생성한다.

이때, Rext의 저항값을 외부 칩과 접속된 전송선의 특성 임피던스(Z_0)와 같은 값으로 하면 버퍼의 출력 저항을 특성 임피던스(Z_0)와 같게 할 수 있다. 또한 버퍼의 전류원들의 전류값 I를 결정해주는 바이어스 전압 VB1도 동시에 생성하며, 전류값 I는 외부에서 입력되는 전압(VA)과 Rext값에 의해 결정되며 VA/Rext의 값으로 고정된다. 따라서, 칩 제조공정 변화에 의해서 제1 NMOS트랜지스터(M1)의 문턱전압 및 이동도가 칩에 따라 상이하더라도 M1의 출력저항은 게이트의 전압값에 따라 정해지는 저항이므로 상술된 바이어스 전압 생성회로에 의해 안정되게 전송선의 특성 임피던스와 정합시킬 수 있다.

도 3에서, 참조번호 212 내지 232는 도 2와 동일한 참조번호로서 대응되고, 도 2에서 NMOS 트랜지스터(M1, M3, M5)는 도 3에서 M3n, M5n, M1n에 각각 대응된다. 스위칭부(222)는 VDD전압과 NMOS 트랜지스터(M4n, M5n)의 드레인간에 PMOS 트랜지스터(M3p, M4p)가 직렬로 접속되며, 상기 제2정전류원(224)의 출력단과 그라운드(VSS)간에 직렬로 PMOS 트랜지스터(M6p)와 NMOS 트랜지스터(M6n)가 접속된다.

또한, NMOS 트랜지스터(M6n)의 게이트는 NMOS 트랜지스터(M5n)의 게이트와 드레인과 공통접속되며, PMOS 트랜지스터(M6p)의 드레인은 상기 다이오드(D2)의 애노드와 접속되며, PMOS 트랜지스터(M3p, M4p)의 게이트는 각각 PMOS 트랜지스터(M22, M24)의 게이트와 접속된다. 이에 따라 NMOS 트랜지스터(M4n)의 게이트에 승신전압신호(IN1)가 하이레벨이면 NMOS 트랜지스터(M6n)가 차단되며 PMOS 트랜지스터(M6p)의 드레인에서 출력되는 전류(0.5I)는 다이오드 기능을 수행하는 NMOS 트랜지스터(M7n)를 통하여 흐르게 되어 스위칭 기능을 수행한다.

도 5a 내지 도 5b는 본 발명을 적용한 양방향 입출력 버퍼의 모의 실험 파형도이다. 도 5a 내지 도 5b를 참조하면, 공급 전압 3V에서 IN1의 출력은 50Mb/s, IN2의 출력은 500Mb/s로 데이터를 전송할 때 OUT1의 노드 전압파형, 전송선에 측정된 파형과 그 전송선의 전압파형으로부터 양방향 버퍼가 복원한 이과 02의 파형으로 나타내며, IN1, IN2의 출력은 각각 02, 01의 파형으로 각각 복원되며, 16b/s의 양방향 전송능력을 가짐을 알 수 있다.

발명의 효과

본 발명에 의한 전류모드 양방향 입출력 버퍼는 하나의 전송선로를 이용하여 칩과 칩간에 고속으로 데이터 전송을 수행하며, 칩의 공정변화에도 안정적인 특성을 갖는 양방향 입출력 버퍼를 제공한다.

(5) 청구의 범위

청구항 1. 동일한 입출력버퍼를 내장한 외부 칩과 신호를 양방향으로 전송하는 전류모드 입출력 버퍼에 있어서,

상기 외부 칩으로 전송하고자하는 승신신호(IN1)와 상기 외부 칩으로부터 수신되는 승신신호(IN2)의 평균 전류값(I1)을 평균전압으로 변환하여 출력하는 승수신평균전압 출력부(210);

상기 승신신호(IN1)의 전압레벨에 따라 선택적으로 생성된 소정의 기준전류값(Iref)을 기준전압으로 변환하는 기준전압출력부(220);

상기 승수신평균전압 출력부와 상기 기준전압출력부에서 생성한 전압을 비교하여 상기 외부 칩으로부터 전송된 수신신호에 대응된 로직신호를 출력하는 비교기(230); 및

상기 외부 칩에 접속된 전송선의 특성 임피던스와 같도록 바이어스전압을 생성하여 상기 각 출력부에 공급하는 바이어스전압생성부를 포함함을 특징으로 하는 전류모드 쌍방향 입출력버퍼.

청구항 2. 제1항에 있어서, 상기 비교기의 출력을 CMOS레벨로 변환하는 CMOS레벨변환부를 더 구비함을 특징으로 하는 전류모드 쌍방향 입출력 버퍼.

청구항 3. 제1항에 있어서, 상기 바이어스생성부는,

VDD전압과 제20P앰프(A2)의 부입력단자에는 PMOS 트랜지스터(M21, M23)가 직렬로 접속되며, VDD전압과 제20P앰프(A2)의 정입력단자에는 PMOS 트랜지스터(M22, M24)가 직렬로 접속되고, 제10P앰프(A1)의 출력은 PMOS 트랜지스터(M21, M22)의 게이트와 공통으로 접속되며, 제10P앰프(A1)의 정입력단자는 제20P앰프(A2)의 부입력단자와 외부저항(Rext)의 일단과 접속되고, 외부저항(Rext)의 타단은 제20P앰프(A2)의 정입력단자와 접속된다. 제20P앰프(A2)의 출력단자는 NMOS 트랜지스터(M20)의 게이트에 접속되며, NMOS 트랜지스터(M20)의 드레인과 소스는 제20P앰프(A1)의 정입력단자와 그라운드(VSS)에 각각 접속됨을 특징으로 하는 전류모드 쌍방향 입출력 버퍼.

청구항 4. 제3항에 있어서, 상기 승수신평균전압 출력부는,

VDD전원과 다이오드(D1)의 애노우드와 NMOS 트랜지스터(M6)의 드레인간에 제1정전류원(212)이 접속되며, 상기 다이오드(D1)의 캐소드는 상기 외부 접과의 전송선과 NMOS 트랜지스터(M1)의 드레인과 상기 비교기(230)의 정입력단자에 접속되며, 상기 NMOS 트랜지스터(M1)의 게이트는 상기 NMOS 트랜지스터(M20)의 게이트에 접속됨을 특징으로 하는 전류모드 쌍방향 입출력 버퍼.

청구항 5. 제4항에 있어서, 상기 제1정전류원(212)은,

상기 PMOS 트랜지스터(M22, M24)의 각 게이트전압을 바이어스 전압(VR)으로 하여 동작함을 특징으로 하는 전류모드 쌍방향 입출력 버퍼.

청구항 6. 제5항에 있어서, 상기 기준전압 출력부는,

VDD전원과 다이오드(D2)의 애노우드간에 제2정전류원(224)과 송신신호(IN1)의 레벨에 따라 스위칭하는 스위칭부(222)가 직렬로 접속되며, VDD전원과 다이오드(D2)의 애노우드간에 제3정전류원(226)이 접속되고, 애노우드(D2)의 캐소드는 NMOS 트랜지스터(M3)의 드레인과 상기 비교기(230)의 부입력단자에 각각 접속되며, 상기 NMOS 트랜지스터(M3)의 소스는 그라운드에 접속됨을 특징으로 하는 전류모드 쌍방향 입출력 버퍼.

청구항 7. 제6항에 있어서, 상기 제2, 3정전류원(224, 226)은,

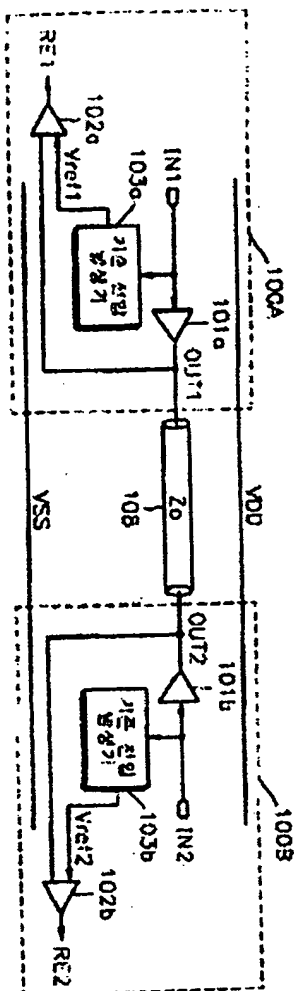
상기 PMOS 트랜지스터(M22, M24)의 각 게이트전압을 바이어스 전압으로 하여 동작함을 특징으로 하는 전류모드 쌍방향 입출력 버퍼.

청구항 8. 제7항에 있어서, 상기 스위칭부(222)는,

VDD전압과 NMOS 트랜지스터(M4n, M5n)의 드레인간에 PMOS 트랜지스터(M3p, M4p)가 직렬로 접속되며, 상기 제2정전류원(224)의 출력단과 그라운드(VSS)간에 직렬로 PMOS 트랜지스터(M6p)와 NMOS 트랜지스터(M6n)가 접속되고, NMOS 트랜지스터(M6n)의 게이트는 NMOS 트랜지스터(M5n)의 게이트와 드레인과 공통접속되며, PMOS 트랜지스터(M6p)의 드레인은 상기 다이오드(D2)의 애노우드와 접속되며, PMOS 트랜지스터(M3p, M4p)의 게이트는 각각 PMOS 트랜지스터(M22, M24)의 게이트와 접속되고, PMOS 트랜지스터(M3p, M4p)의 소스는 그라운드와 접속됨을 특징으로 하는 전류모드 쌍방향 입출력 버퍼.

도면

도면1



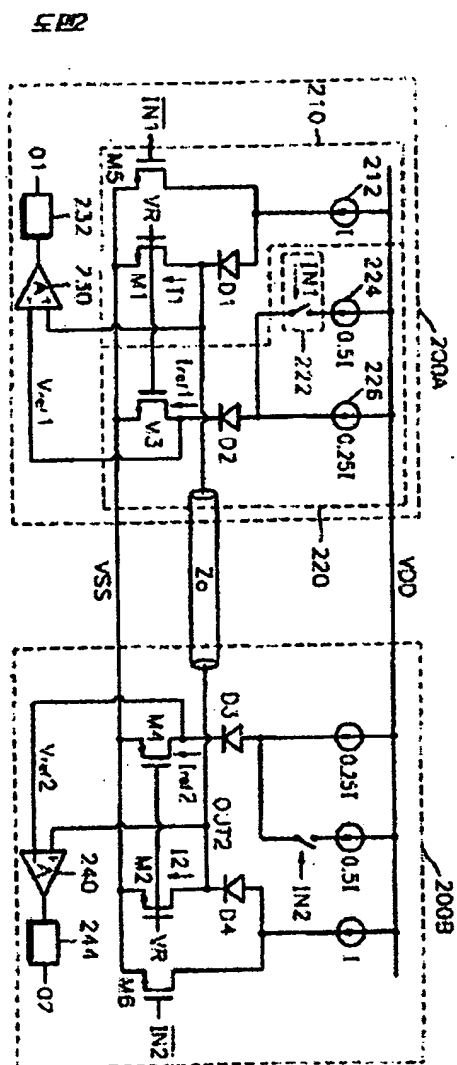


圖 3

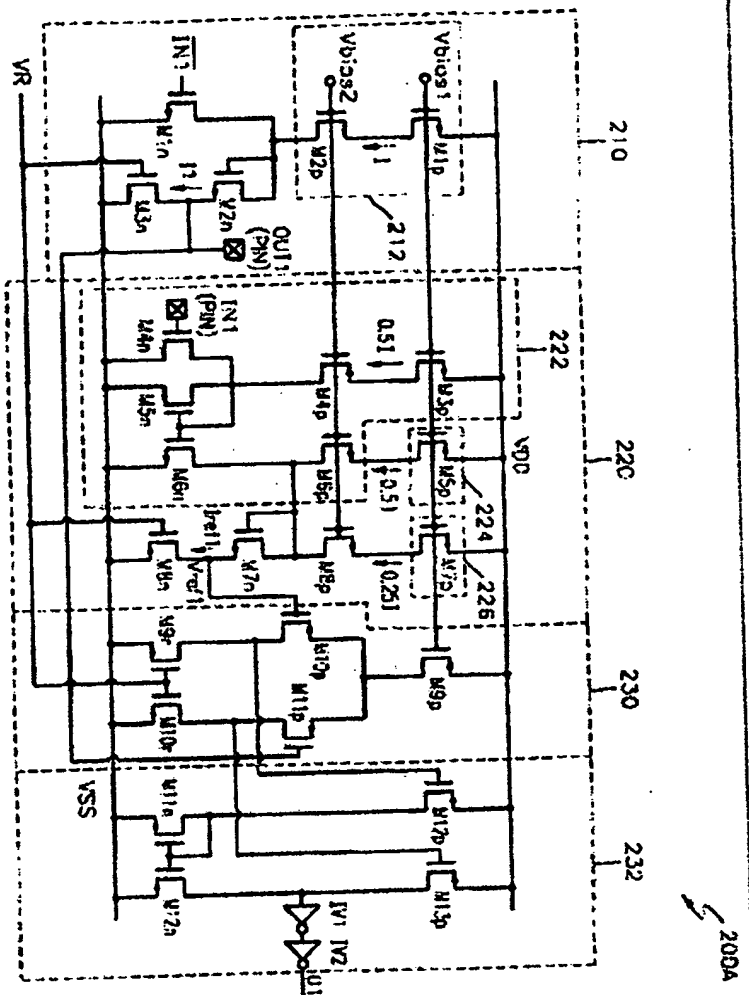
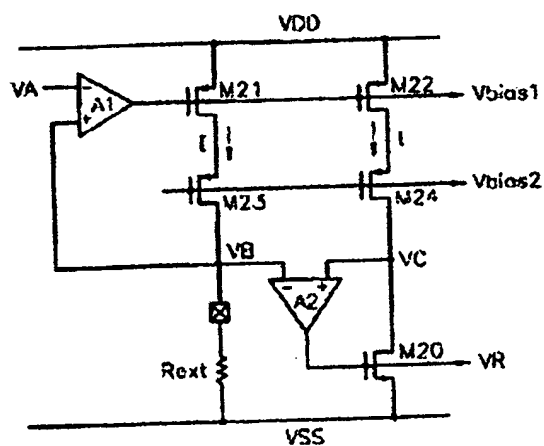
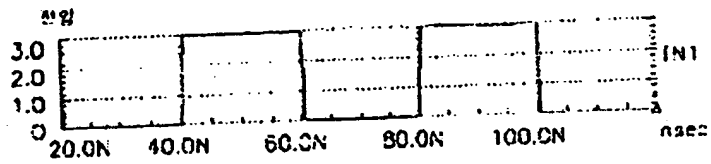


圖 4



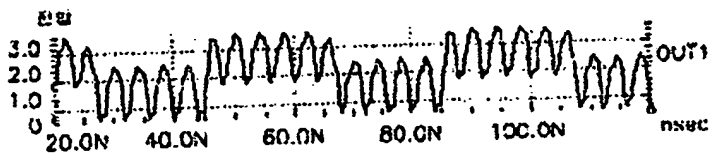
도메인



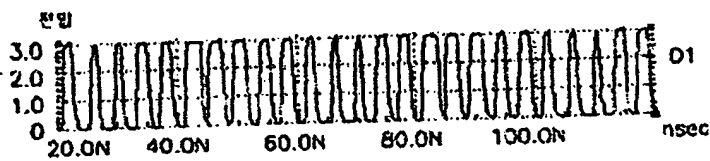
도메인



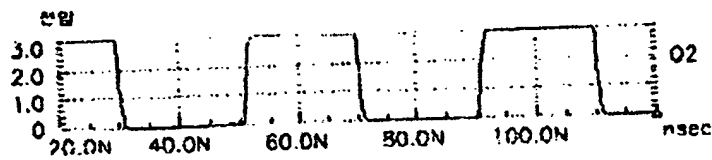
도메인



도메인



도메인



高橋GrM殿, 佐久間CP0殿, 田辺CP0殿,
江口GM, 鶴飼GM, 浜田SP殿, 長尾殿

知財部 柳田です。

お世話になっております。

掲題の件、打ち合わせを行いますので
ご参集ください。

日時：4/6（水） 13:30~15:00

場所：システムソフト事業本部会議室（S棟22F）

以上よろしくお願いいたします。

--

企画本部知的財産部

柳田 浩美

mailto:hiromi.yanagita@necel.com

TEL: 8-22-75026

FAX: 8-22-25129

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.